

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340320

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 10-145426

(71)Applicant : NEC CORP

(22)Date of filing : 27.05.1998

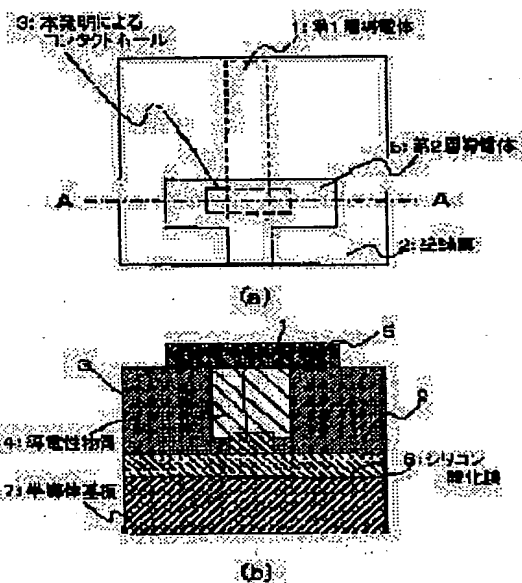
(72)Inventor : MAYUZUMI SATORU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device provided with a contact-hole structure which prevents an increase or an irregularity in a contact resistance across conductors connected by a contact hole formed in an insulating film in a connection structure between conductors, which eliminates an inessential groove generated by the contact hole, which enhances the step coverage of an upper-layer conductor and which can relax the alignment accuracy in the formation of the contact hole.

SOLUTION: A silicon oxide film 6 is formed on a semiconductor substrate 7. A first-layer conductor 1 is formed on the silicon oxide film 6. An insulating film 2 is formed on the first-layer conductor 1. Then, a contact hole 3 is formed in the insulating film 2. At this time, the contact hole 3 is formed in such a way that its opening width is overlapped surely with the first-layer conductor 1 and that its opening width is made larger than the width to the first-layer conductor 1. After that, a conductive substance 4 is buried into the contact hole 3, and a second-layer conductor 5 is formed so as to cover the contact hole 3 completely.



LEGAL STATUS

[Date of request for examination]

27.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3109478

[Date of registration]

14.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st insulator layer formed on the semi-conductor substrate, and the 1st conductor formed on said 1st insulator layer, It has the 2nd insulator layer formed on said 1st conductor, and the 2nd conductor formed on said 2nd insulator layer. In the conductors connection structure where said the 1st conductor and said 2nd conductor of each other are electrically connected through the contact hole formed in said 2nd insulator layer It is the semiconductor device characterized by said 2nd conductor having covered said contact hole completely while the aperture of said contact hole gets down from a pile by said the 1st conductor and part and the puncturing width of face of said contact hole is larger than the width of face of said 1st conductor.

[Claim 2] A semiconductor device given in claim 1 currently formed so that the aperture of said contact hole may overflow this 1st conductor by three sides of said 1st conductor.

[Claim 3] The 1st insulator layer formed on the semi-conductor substrate, and the 1st conductor formed on said 1st insulator layer, It has the 2nd insulator layer formed on said 1st conductor, and the 2nd conductor formed on said 2nd insulator layer. In the conductors connection structure where said the 1st conductor and said 2nd conductor of each other are electrically connected through the contact hole formed in said 2nd insulator layer The semiconductor device characterized by having been punctured so that said contact hole might straddle said all 1st conductor, and said 2nd conductor having covered said contact hole completely when two or more patterns of said 1st conductor adjoin and are arranged.

[Claim 4] The semiconductor device according to claim 3 currently punctured so that said contact hole may protrude the edge of the 1st conductor located in the both ends of said 1st two or more conductors.

[Claim 5] The 1st insulator layer formed on the semi-conductor substrate, and the 1st conductor formed on said 1st insulator layer, It has the 2nd insulator layer formed on said 1st conductor, and the 2nd conductor formed on said 2nd insulator layer. In the conductors connection structure where said the 1st conductor and said 2nd conductor of each other are electrically connected through the contact hole formed in said 2nd insulator layer When three or more patterns of said 1st conductor adjoin and are arranged, The contact hole for connecting these 1st conductors and said 2nd conductor The 1st contact hole where puncturing width of face is [that an aperture gets down from a pile by said the 1st conductor and part] larger than the width of face of said 1st conductor, And the semiconductor device characterized by consisting of two or more of the contact holes chosen from the 2nd contact hole punctured so that the 1st two or more conductors might be straddled, and said 2nd conductor having covered said contact hole completely.

[Claim 6] A semiconductor device given in claim 5 currently formed so that the aperture of said 1st contact hole may overflow this 1st conductor by three sides of said 1st conductor.

[Claim 7] The semiconductor device according to claim 5 or 6 currently punctured so that said 2nd contact hole may protrude the edge of the 1st conductor located in the both ends of said 1st two or more conductors.

[Claim 8] A semiconductor device given in any 1 term of claims 1-7 to which the base of said contact hole is characterized by being in contact with the side face of said 1st conductor.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the connection structure between the conductors in a semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, the contact hole is formed in the insulator layer formed between conductors in order to connect electrically between the conductors formed in the multilayer in the semiconductor device with which various kinds of conductors in a semi-conductor substrate top are formed.

[0003] An example of the connection structure between the conductors in the conventional semiconductor device is shown in drawing 8 and drawing 9, respectively. Drawing 8 (a) is a top view and drawing 8 (b) is the sectional view which met the A-A line of (a). Similarly, drawing 9 (a) is a top view and drawing 9 (b) is the sectional view which met the A-A line of (a).

[0004] As shown in drawing 8 (b), silicon oxide 6 is formed on the semi-conductor substrate 7, and the 1st layer conductor 1 is formed on it. And an insulator layer 2 is formed on this 1st layer conductor 1. After carrying out flattening of this insulator layer 2 using a chemical mechanical polishing (CMP) technique etc., the contact hole 8 for connecting electrically the 1st layer conductor 1 and the 2nd layer conductor 5 to this insulator layer 2 is punctured. This contact hole 8 is formed smaller than the field with which these lap mutually, in order to ensure connection between the 1st layer conductor 1 and the 2nd layer conductor 5, as shown in drawing 8 (a). And the conductive matter 4 is formed all over the insulator layer 2 including a contact hole 8 using a chemical vapor deposition (CVD) technique etc., and the conductive matter 4 is embedded in a contact hole 8 by making it the conductive matter 4 in a contact hole 8 become flat to an insulator layer 2 using a dry etching technique. And the 2nd layer conductor 5 is formed on a contact hole 8.

[0005] Moreover, as shown in drawing 9 (b), when the two 1st layer conductors 1 are formed on silicon oxide 6 and these two 1st layer conductors 1 and the 2nd layer conductors 5 are connected electrically, an insulator layer 2 is first formed on the two 1st layer conductors 1. And as shown in drawing 9 (a), two contact holes 8 are formed smaller than the field with which the 1st layer conductor 1 and the 2nd layer conductor 5 lap so that it may correspond to the number of the 1st layer conductors 1 at an insulator layer 2. And in this contact hole 8, the conductive matter 4 is embedded and the 2nd layer conductor 5 is formed.

[0006]

[Problem(s) to be Solved by the Invention] In order to decrease the parasitic capacitance generated in a conductor by the demand of improvement in the speed in recent years, the width of face of a conductor is becoming small. Since the field with which the 1st layer conductor and the 2nd layer conductor lap also becomes small and the puncturing area of a contact hole becomes small by this, the contact resistance between the 1st layer conductor and the conductive matter embedded in a contact hole will become large. Moreover, since the puncturing area of a contact hole is small in case a barrier metal layer is formed by sputtering in a contact hole, the thickness of the barrier metal layer at the base of a contact hole will become thinner than desired thickness, and dispersion in the contact resistance between the barrier metal layer in a contact hole and the 1st layer conductor will become large. Furthermore, in order to form a contact hole small rather than the field with which the 1st layer conductor and the 2nd layer conductor lap, the precision of the alignment at the time of aligning the mask for contact hole formation with the 1st layer conductor is required of altitude.

[0007] In order to solve this problem, structure as shown in drawing 10 is also proposed (JP,9-17868,A). Drawing 10 (a) is a top view and drawing 10 (b) and (c) are the sectional views which met the A-A line of (a), and the B-B line, respectively. As shown in drawing 10 (b), silicon oxide 6 is formed on the semi-conductor substrate 7, and the 1st layer conductor 1 is formed on this silicon oxide 6. And an insulator layer 2 is formed on this 1st layer conductor 1, and the contact hole 9 for connecting the 1st layer conductor 1 and the 2nd layer conductor 5 to this insulator layer 2 is punctured. This contact hole 9 is formed more greatly than the field with which the 1st layer conductor 1 and the 2nd layer conductor 5 lap mutually, as shown in drawing 10 (a). And through this contact hole 9, as shown in drawing 10 (b), it is formed so that the 2nd layer conductor 5 may contact the 1st

layer conductor 1.

[0008] However, with the connection structure between this conductor, as shown in drawing 10 (c), a slot unnecessary between an insulator layer 2 and the 2nd layer conductor 5 will be formed, and the upper step coverage will worsen. Moreover, as shown in drawing 9, the two or more 1st layer conductors need to unite and puncture a contact hole in the number of the 1st layer conductors at a certain time. Therefore, formation of the contact hole 9 shown by drawing 10 will produce many still more unnecessary slots.

[0009] The purpose of this invention is to offer the semiconductor device equipped with the connection structure between the conductors by the contact hole which the unnecessary slot which eases the increment in the contact resistance between the conductors connected in the contact hole formed in the insulator layer and the precision of the alignment at the time of contact hole formation while preventing dispersion, and is produced in a contact hole is lost, and can raise the upper step coverage.

[0010]

[Means for Solving the Problem] The 1st insulator layer by which the semiconductor device by this invention was formed on the semi-conductor substrate, The 1st conductor formed on said 1st insulator layer, and the 2nd insulator layer formed on said 1st conductor, In the conductors connection structure where said the 1st conductor and said 2nd conductor of each other are electrically connected through the contact hole which has the 2nd conductor formed on said 2nd insulator layer, and was formed in said 2nd insulator layer The aperture of said contact hole gets down from a pile by said the 1st conductor and part, and while the puncturing width of face of said contact hole is larger than the width of face of said 1st conductor, it is characterized by said 2nd conductor having covered said contact hole completely.

[0011] Moreover, in said conductors connection structure, when two or more patterns of said 1st conductor adjoin and are arranged, it is characterized by having been punctured so that said contact hole might straddle said all 1st conductor, and said 2nd conductor having covered said contact hole completely.

[0012] Furthermore, when three or more patterns of said 1st conductor adjoin and are arranged in said conductors connection structure, The contact hole for connecting these 1st conductors and said 2nd conductor The 1st contact hole where puncturing width of face is [that an aperture gets down from a pile by said the 1st conductor and part] larger than the width of face of said 1st conductor, And it is characterized by consisting of two or more of the contact holes chosen from the 2nd contact hole punctured so that the 1st two or more conductors might be straddled, and said 2nd conductor having covered said contact hole completely.

[0013] And the base of the contact hole which has each aforementioned description can also have the structure currently formed so that the side face of said 1st conductor may be touched.

[0014] In this invention, the aperture of a contact hole has surely lapped with the 1st conductor partly, and the puncturing area of a contact hole can become large, the touch area between the 1st conductor and the conductive matter embedded in a contact hole can be enlarged because the puncturing width of face of a contact hole is larger than the width of face of the 1st conductor, and the increment in the contact resistance between the 1st conductor and the conductive matter can be prevented. Moreover, since the puncturing area of a contact hole is large in case the barrier metal layer of a refractory metal is formed by sputtering a 1st conductor top and in a contact hole, it can form as the thickness of a request of the barrier metal layer at the base of a contact hole, and the effectiveness of reducing dispersion in the contact resistance between the 1st conductor and a barrier metal layer is acquired. Furthermore, since a leeway is given in the superposition of a contact hole and the 1st conductor, the precision of the alignment at the time of aligning the mask for contact hole formation with the 1st layer conductor can be eased. And for a wrap reason, the 2nd conductor can protect generating of an unnecessary slot or a level difference for the contact hole formed in the insulator layer between the 1st and 2nd conductor completely.

[0015] moreover, when two or more patterns of the 1st conductor adjoin and are arranged By puncturing so that all the 1st conductor may be straddled in one contact hole, and connecting electrically the 1st two or more conductor and 2nd conductor Puncturing area of a contact hole can be enlarged and the increment in the contact resistance between the conductive matter embedded in a contact hole and the 1st conductor can be prevented. Moreover, in case a barrier metal layer is formed by sputtering in a contact hole, it can form as the thickness of a request of the barrier metal layer at the base of a contact hole, and dispersion in the contact resistance between the 1st conductor and a barrier metal layer can be reduced.

[0016] furthermore, when three or more patterns of the 1st conductor adjoin and are arranged Said contact hole where puncturing width of face is [that the aperture has surely lapped with the 1st conductor partly] larger than the width of face of the 1st conductor, The contact hole chosen from said contact hole over the 1st two or more

conductors or more using two and by considering these contact holes as a wrap configuration completely with the 2nd conductor. Some contact holes can be combined freely and an unnecessary slot is not produced, either. [0017] Moreover, by making it touch the side face of said 1st conductor, the base of said contact hole makes the touch area between the 1st conductor and the conductive matter embedded in a contact hole increase, and can press down an increment and dispersion of contact resistance.

[0018]

[Embodiment of the Invention] The example of this invention is explained in full detail below, referring to the attached drawing that the above and other purposes, the description, and advantage of this invention should be made clear.

[0019] Drawing 1 (a), drawing 2 (a), drawing 3 (a), drawing 4 (a), drawing 5 (a), drawing 6 (a), and drawing 7 (a) are the top views of the semiconductor device as an example of this invention, respectively. Drawing 1 (b), drawing 2 (b), drawing 3 (b), drawing 4 (b), drawing 5 (b), drawing 6 (a), and drawing 7 (a) are the sectional views which met drawing 1 (a), drawing 2 (a), drawing 3 (a), drawing 4 (a), drawing 5 (a), drawing 6 (a), and the A-A line of drawing 7 (a), respectively.

[0020] As shown in drawing 1 (b), silicon oxide 6 is formed on the semi-conductor substrate 7, and the 1st layer conductor 1 is formed on this silicon oxide 6. When the 1st layer conductor 1 is wiring, aluminum, an aluminium alloy, copper, etc. can be used for this wiring. Moreover, wiring may be equipped with the barrier metal layer which sandwiches aluminum, an aluminium alloy, etc. from the upper and lower sides and which consists of refractory metals, such as titanium, a tantalum, molybdenum, and a tungsten. In the case of components, such as resistance, the 1st layer conductor 1 can form this component with polycrystalline silicon etc.

[0021] And an insulator layer 2 is formed on the 1st layer conductor 1, and flattening of an insulator layer 2 is performed using a CMP technique etc. Moreover, a contact hole 3 is punctured to this insulator layer 2. At this time, an aperture surely laps with the 1st layer conductor 1 partly, and a contact hole 3 is punctured so that puncturing width of face may become larger than the width of face of the 1st layer conductor 1. In the example of drawing 1, it forms so that a contact hole 3 may overflow the both ends of the 1st layer conductor 1. And the conductive matter 4, such as a tungsten, is grown up all over the insulator layer 2 including the wall of a contact hole 3 using a CVD technique etc., the conductive matter 4 in a contact hole 3 is made flat to an insulator layer 2 using a dry etching technique, and the conductive matter 4 is embedded in a contact hole 4. Furthermore, the 2nd layer conductor 5 is formed so that a contact hole 3 may be covered completely. A slot unnecessary in a contact hole is not formed by covering a contact hole 3 completely with the 2nd layer conductor 5.

[0022] Here, a touch area with the conductive matter embedded in the 1st layer conductor and contact hole in the conventional example shown in the example and drawing 8 of this invention shown in drawing 1 is measured. In drawing 8, width of face of the 1st layer conductor 1 is set to 0.8 micrometers, and the aperture of a contact hole 8 is a square and sets puncturing width of face to 0.5 micrometers. Moreover, also in drawing 1, width of face of the 1st layer conductor 1 was set to 0.8 micrometers, and the aperture of a contact hole 3 should lengthen the contact hole 8 of drawing 8 right and left, and should enlarge it 0.5 micrometers from the width of face of the 1st layer conductor 1. At this time, the touch area of the 1st layer conductor 1 in the example of drawing 1 and the conductive matter 4 embedded in a contact hole 3 becomes large 1.6 times to the thing of the conventional example of drawing 8. By this, when forming the above barrier metal layers by sputtering in a contact hole 3, it can form as the thickness of a request of the barrier metal layer at the base of a contact hole.

[0023] Moreover, if thickness of 300nm and an insulator layer 2 is set to 1000nm for the thickness of the 1st layer conductor 1, the side face of the 1st layer conductor 1 and the base of a contact hole 3 will touch by forming a contact hole 3 so that the base of a contact hole 3 may become the distance of 800nm from insulator layer 2 top face. By this, the touch area of the conductive matter 4 and the 1st layer conductor 1 which are embedded in a contact hole 3 can be enlarged further.

[0024] Drawing 2 is an example when the aperture of a contact hole 3 is formed so that this 1st layer conductor 1 may be overflowed by three sides of the 1st layer conductor 1, and differs from the example which this point showed by drawing 1. If it is the same as the example which showed the magnitude of the 1st conductor 1 in drawing 2, and the aperture of a contact hole 3 by drawing 1, the 1st layer conductor 1, the conductive matter 4, and the touch area of a between can be made larger than the touch area in the conventional example of drawing 8 by setting to 0.32 micrometers or more the die length (w in drawing 2) of the field with which the 1st layer conductor 1 and a contact hole 3 lap. Furthermore, the touch area between the 1st layer conductor 1 and the conductive matter 4 can be further enlarged rather than the example of drawing 1 by making the above-mentioned die-length w larger than 0.5 micrometers. Moreover, since a leeway is given in the superposition of the

1st layer conductor 1 and a contact hole 3 as compared with the example of drawing 1, the precision of the alignment at the time of aligning the mask for contact hole formation with the 1st layer conductor can be eased. [0025] Drawing 3 is an example when the aperture of a contact hole 3 is formed in a flash and a T character mold by three sides of the 1st layer conductor 1. As compared with the contact hole 8 used in the conventional example of drawing 8, puncturing area becomes large, and this example can also enlarge the touch area between the 1st layer conductor 1 and the conductive matter 4 embedded in the contact hole 3. Furthermore, a degree of freedom can be given to the puncturing configuration of a contact hole beyond the example of drawing 1.

[0026] Drawing 4 is an example when two patterns of the 1st layer conductor 1 have been arranged adjacently. the insulator layer 2 formed on the 1st layer conductor 1 when the two 1st layer conductors 1 were formed, as shown in drawing 4 — the two 1st layer conductors 1 — a contact hole 3 is punctured only one so that all may be straddled. In drawing 4, the contact hole 3 is punctured so that the edge of the two more 1st layer conductors 1 may be protruded. And after embedding the conductive matter 4 in this contact hole 3, the 2nd layer conductor 5 is formed so that a contact hole 3 may be covered completely.

[0027] Drawing 5 is an example when three patterns of the 1st layer conductor 1 have been arranged adjacently. A contact hole 3 is punctured to an insulator layer 2 so that the edge of the conductor located in the both ends of the three 1st layer conductors 1 straddled ranging over [all] the 1st layer conductor 1 also in this case may be protruded. And the conductive matter 4 is embedded in this contact hole 3, and the 2nd layer conductor 5 is formed so that a contact hole 3 may be covered.

[0028] Although the two or more 1st layer conductors had to puncture the contact hole according to the number of the 1st layer conductors in the conventional example at a certain time as shown in drawing 9 In the example shown by drawing 4 and drawing 5, a contact hole by puncturing only one Since between the 1st layer conductor and the 2nd layer conductor can be connected and puncturing area of a contact hole can be further enlarged rather than the conventional example or the example mentioned above, the barrier metal layer in the base of a contact hole 3 can be formed in homogeneity as desired thickness.

[0029] Drawing 6 is an example when two patterns of the 1st layer conductor 1 have been arranged adjacently, and the contact hole 3 shown by drawing 1 is punctured, and the 2nd layer conductor 5 is formed so that two contact holes 3 may be covered together, so that it may correspond to each of the two 1st layer conductors 1.

[0030] Drawing 7 is an example in case there are the three 1st layer conductors, and while a contact hole 3 like the example shown by drawing 4 to the two adjoining 1st layer conductors 1 is formed, the contact hole 3 of the example shown by drawing 1 to the one remaining 1st layer conductor 1 is formed. And the 2nd layer conductor 5 is formed so that both contact holes 3 may be covered together.

[0031] In this invention, each contact hole 3 shown by drawing 5 from drawing 1 is freely combinable like the example shown by drawing 6 and drawing 7. When spacing between the patterns of the 1st layer conductor 1 is large, or when many patterns of the 1st layer conductor 1 adjoin and are arranged, in the example shown by drawing 4 and drawing 5, the puncturing width of face of the contact hole 3 to form becomes long. If the resist film usually used for pattern formation forms a usually big pattern, it turns out that the pattern formed by contraction of the resist film spreads. Therefore, if it is going to form the contact hole where puncturing width of face is too much long, contraction of the resist film to a contact hole formation pattern will become large. However, the effect by contraction of such resist film can be suppressed by combining some contact holes like the example shown by drawing 6 and drawing 7.

[0032] Moreover, although the base of all the contact holes 3 has touched on the top face and side face of the 1st layer conductor 1 by drawing 7 from drawing 1 shown by this example, you may form so that it may touch only on the top face of the 1st layer conductor.

[0033] As mentioned above, although the suitable operation gestalt of this invention was explained, it is clear that each example may be suitably changed within the limits of the technical thought of this invention, without limiting this invention to said example.

[0034]

[Effect of the Invention] As explained above, according to this invention, in the connection structure between the conductors of a semiconductor device, an increment and dispersion of the contact resistance between the conductors of the upper layer and a lower layer can be decreased by enlarging puncturing area of a contact hole. Moreover, the precision of the alignment at the time of aligning the mask for contact hole formation with the 1st layer conductor can be eased. Furthermore, since the unnecessary level difference in a contact hole can be lost by covering a contact hole with the upper conductor, the upper step coverage improves. And the effectiveness of

reducing further dispersion in the contact resistance between the conductors of the upper layer and a lower layer by connecting two or more lower layer conductors to the upper conductor by one contact hole is offered.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view where one example of the semiconductor device concerning this invention is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 2] It is the sectional view where one example of the semiconductor device concerning this invention is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 3] It is the sectional view where one example of the semiconductor device concerning this invention is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 4] It is the sectional view where one example of the semiconductor device concerning this invention is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 5] It is the sectional view where one example of the semiconductor device concerning this invention is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 6] It is the sectional view where one example of the semiconductor device concerning this invention is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 7] It is the sectional view where one example of the semiconductor device concerning this invention is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 8] It is the sectional view where an example of the connection structure between the conductors in the conventional semiconductor device is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 9] It is the sectional view where an example of the connection structure between the conductors in the conventional semiconductor device is shown, (a) met the top view and (b) met the A-A line of (a).

[Drawing 10] The sectional view where an example of the connection structure between the conductors in the conventional semiconductor device is shown, (a) met the top view and (b) met the A-A line of (a), and (c) are the sectional views which met the B-B line of (a).

[Description of Notations]

1 1st Layer Conductor

2 Insulator Layer

3 Contact Hole by this Invention

4 Conductive Matter

5 2nd Layer Conductor

6 Silicon Oxide

7 Semi-conductor Substrate

8 The Conventional Contact Hole 1

9 The Conventional Contact Hole 2

w The die length of the field where the aperture of the contact hole by this invention laps with the 1st layer conductor

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340320

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁶

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 有 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平10-145426

(22) 出願日 平成10年(1998) 5月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 黛 哲

東京都港区芝五丁目7番1号 日本電気株式会社内

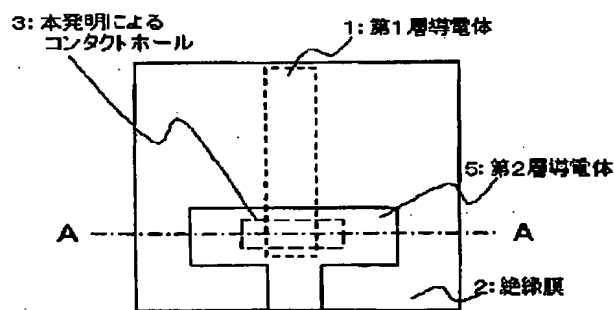
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 半導体装置

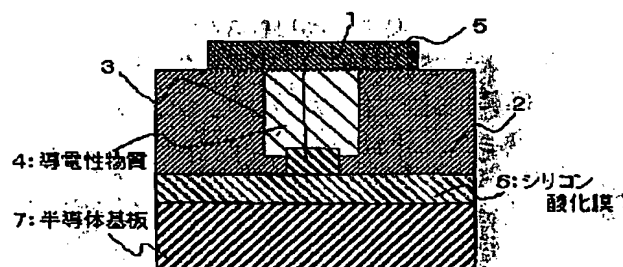
(57) 【要約】

【課題】 導電体間の接続構造において、絶縁膜に形成されたコンタクトホールにて接続される導電体間の接触抵抗の増加やばらつきを防ぐとともに、コンタクトホールで生じる不必要な溝をなくして、上層導電体のステップカバレッジを向上させ、かつ形成時の位置合わせ精度を緩和することができるコンタクトホールの構造を備えた半導体装置を提供することにある。

【解決手段】 半導体基板7上にシリコン酸化膜6を形成する。このシリコン酸化膜6上に第1層導電体1を形成し、この第1層導電体1上に絶縁膜2を形成する。そして、この絶縁膜2にコンタクトホール3を形成する。このときコンタクトホール3は、開孔部が第1層導電体1と必ず重なっており、かつ開孔幅が第1層導電体1の幅以上に大きくなるように形成する。この後、コンタクトホール3内に導電性物質4を埋め込み、コンタクトホール3を完全に覆うように第2層導電体5を形成する。



(a)



(b)

(2)

1

【特許請求の範囲】

【請求項1】 半導体基板の上に形成された第1の絶縁膜と、前記第1の絶縁膜の上に形成された第1の導電体と、前記第1の導電体の上に形成された第2の絶縁膜と、前記第2の絶縁膜の上に形成された第2の導電体とを有し、前記第2の絶縁膜に形成されたコンタクトホールを介して前記第1の導電体と前記第2の導電体とが互いに電気的に接続されている導電体間接続構造において、前記コンタクトホールの開孔部が前記第1の導電体と一部で重っており、かつ前記コンタクトホールの開孔幅が前記第1の導電体の幅以上に大きいとともに、前記第2の導電体が前記コンタクトホールを完全に覆っていることを特徴とする半導体装置。

【請求項2】 前記コンタクトホールの開孔部が、前記第1の導電体の3辺で該第1の導電体からはみ出すように形成されている請求項1に記載の半導体装置。

【請求項3】 半導体基板の上に形成された第1の絶縁膜と、前記第1の絶縁膜の上に形成された第1の導電体と、前記第1の導電体の上に形成された第2の絶縁膜と、前記第2の絶縁膜の上に形成された第2の導電体とを有し、前記第2の絶縁膜に形成されたコンタクトホールを介して前記第1の導電体と前記第2の導電体とが互いに電気的に接続されている導電体間接続構造において、前記第1の導電体のパターンが2つ以上隣接して配置されているとき、前記コンタクトホールが前記第1の導電体の全てを跨ぐように開孔され、かつ前記第2の導電体が前記コンタクトホールを完全に覆っていることを特徴とする半導体装置。

【請求項4】 前記コンタクトホールが、前記2つ以上の第1の導電体の両端に位置する第1の導電体の端をはみ出すように開孔されている請求項3に記載の半導体装置。

【請求項5】 半導体基板の上に形成された第1の絶縁膜と、前記第1の絶縁膜の上に形成された第1の導電体と、前記第1の導電体の上に形成された第2の絶縁膜と、前記第2の絶縁膜の上に形成された第2の導電体とを有し、前記第2の絶縁膜に形成されたコンタクトホールを介して前記第1の導電体と前記第2の導電体とが互いに電気的に接続されている導電体間接続構造において、前記第1の導電体のパターンが3つ以上隣接して配置されているとき、これら第1の導電体と前記第2の導電体とを接続するためのコンタクトホールが、開孔部が前記第1の導電体と一部で重っており、かつ開孔幅が前記第1の導電体の幅以上に大きい第1のコンタクトホール、及び、2つ以上の第1の導電体を跨ぐように開孔された第2のコンタクトホールから選ばれるコンタクトホールの2つ以上から構成されており、かつ前記第2の導電体が前記コンタクトホールを完全に覆っていることを特徴とする半導体装置。

【請求項6】 前記第1のコンタクトホールの開孔部

2

が、前記第1の導電体の3辺で該第1の導電体からはみ出すように形成されている請求項5に記載の半導体装置。

【請求項7】 前記第2のコンタクトホールが、前記2つ以上の第1の導電体の両端に位置する第1の導電体の端をはみ出すように開孔されている請求項5又は6に記載の半導体装置。

【請求項8】 前記コンタクトホールの底面が、前記第1の導電体の側面と接していることを特徴とする請求項1～7のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置における導電体間の接続構造に関する。

【0002】

【従来の技術】従来、半導体基板上で各種の導電体が形成される半導体装置においては、多層に形成された導電体間を電気的に接続するために、導電体間に形成される絶縁膜にコンタクトホールを形成している。

【0003】図8及び図9に、それぞれ従来半導体装置における導電体間の接続構造の一例を示す。図8

(a)は平面図であり、図8(b)は(a)のA-A線に沿った断面図である。同様に、図9(a)は平面図であり、図9(b)は(a)のA-A線に沿った断面図である。

【0004】図8(b)に示すように、半導体基板7上にシリコン酸化膜6が形成され、その上に第1層導電体1が形成されている。そして、この第1層導電体1上に絶縁膜2が形成される。この絶縁膜2をケミカル・メカニカル・ポリッシング(CMP)技術などを用いて平坦化した後、この絶縁膜2に第1層導電体1と第2層導電体5とを電気的に接続するためのコンタクトホール8が開孔される。このコンタクトホール8は、図8(a)に示すように、第1層導電体1と第2層導電体5との間の接続を確実にを行うために、これらが互いに重なる領域よりも小さく形成されている。そして、ケミカル・ベーパー・デポジション(CVD)技術などを用いて導電性物質4をコンタクトホール8を含む絶縁膜2の全面に形成し、ドライエッチング技術を用いてコンタクトホール8内の導電性物質4が絶縁膜2に対して平坦になるようにすることで、コンタクトホール8内に導電性物質4が埋め込まれる。そして、コンタクトホール8上に第2層導電体5が形成される。

【0005】また、図9(b)に示すように、シリコン酸化膜6上に2つの第1層導電体1が形成されていて、これら2つの第1層導電体1と第2層導電体5とを電気的に接続するときには、まず2つの第1層導電体1上に絶縁膜2を形成する。そして図9(a)に示すように、絶縁膜2に第1層導電体1の数に対応するように2つのコンタクトホール8を、第1層導電体1と第2層導電体

(3)

5とが重なる領域より小さく形成する。そして、このコンタクトホール8内に導電性物質4を埋め込み、第2層導電体5が形成される。

【0006】

【発明が解決しようとする課題】近年の高速化の要求により、導電体に発生する寄生容量を減少させるために、導電体の幅が小さくなってきている。これによって、第1層導電体と第2層導電体とが重なる領域も小さくなり、コンタクトホールの開孔面積が小さくなってしまいうため、第1層導電体とコンタクトホール内に埋め込む導電性物質との間の接触抵抗が大きくなってしまいう。また、コンタクトホール内にスパッタリングによりバリアメタル層を形成する際には、コンタクトホールの開孔面積が小さいために、コンタクトホール底面でのバリアメタル層の膜厚が所望の膜厚よりも薄くなってしまい、コンタクトホール内のバリアメタル層と第1層導電体との間の接触抵抗のばらつきが大きくなってしまいう。さらに、第1層導電体と第2層導電体とが重なる領域よりもコンタクトホールを小さく形成するため、コンタクトホール形成のためのマスクを第1層導電体と合わせる際の位置合わせの精度が高度に要求される。

【0007】この問題を解決するために、図10に示すような構造も提案されている(特開平9-17868)。図10(a)は平面図であり、図10(b)及び(c)はそれぞれ(a)のA-A線、B-B線に沿った断面図である。図10(b)に示すように、半導体基板7上にシリコン酸化膜6を形成し、このシリコン酸化膜6上には、第1層導電体1が形成されている。そして、この第1層導電体1上に絶縁膜2が形成され、この絶縁膜2に第1層導電体1と第2層導電体5とを接続するためのコンタクトホール9が開孔されている。このコンタクトホール9は、図10(a)に示すように、第1層導電体1と第2層導電体5とが互いに重なる領域よりも大きく形成されている。そして、図10(b)に示すように、このコンタクトホール9を介して、第2層導電体5が第1層導電体1に接触するように形成される。

【0008】しかしながら、この導電体間の接続構造では、図10(c)に示すように絶縁膜2と第2層導電体5との間に不必要な溝が形成されてしまい、上層のステップカバレッジが悪くなってしまいう。また、図9に示したように第1層導電体が2つ以上あるときには、コンタクトホールを第1層導電体の数にあわせて開孔する必要がある。そのため、図10で示したコンタクトホール9を形成すると、さらに不要な溝が多数生じてしまいう。

【0009】本発明の目的は、絶縁膜に形成されたコンタクトホールにおいて接続される導電体間の接触抵抗の増加や、ばらつきを防ぐとともに、コンタクトホール形成時における位置合わせの精度を緩和し、かつコンタクトホールで生じる不必要な溝をなくし、上層のステップカバレッジを向上させることが可能な、コンタクトホー

4

ルによる導電体間の接続構造を備えた半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明による半導体装置は、半導体基板の上に形成された第1の絶縁膜と、前記第1の絶縁膜の上に形成された第1の導電体と、前記第1の導電体の上に形成された第2の絶縁膜と、前記第2の絶縁膜の上に形成された第2の導電体とを有し、前記第2の絶縁膜に形成されたコンタクトホールを介して前記第1の導電体と前記第2の導電体とが互いに電気的に接続されている導電体間接続構造において、前記コンタクトホールの開孔部が前記第1の導電体と一部で重っており、かつ前記コンタクトホールの開孔幅が前記第1の導電体の幅以上に大きいとともに、前記第2の導電体が前記コンタクトホールを完全に覆っていることを特徴としている。

【0011】また、前記導電体間接続構造において、前記第1の導電体のパターンが2つ以上隣接して配置されているとき、前記コンタクトホールが前記第1の導電体の全てを跨ぐように開孔され、かつ前記第2の導電体が前記コンタクトホールを完全に覆っていることを特徴としている。

【0012】さらに、前記導電体間接続構造において、前記第1の導電体のパターンが3つ以上隣接して配置されているとき、これら第1の導電体と前記第2の導電体とを接続するためのコンタクトホールが、開孔部が前記第1の導電体と一部で重っており、かつ開孔幅が前記第1の導電体の幅以上に大きい第1のコンタクトホール、及び、2つ以上の第1の導電体を跨ぐように開孔された第2のコンタクトホールから選ばれるコンタクトホールの2つ以上から構成されており、かつ前記第2の導電体が前記コンタクトホールを完全に覆っていることを特徴としている。

【0013】そして、前記のそれぞれの特徴を有するコンタクトホールの底面が、前記第1の導電体の側面と接するように形成されている構造を持つこともできる。

【0014】本発明では、コンタクトホールの開孔部が第1の導電体と必ず一部で重なっており、かつコンタクトホールの開孔幅が第1の導電体の幅以上に大きくなっていることで、コンタクトホールの開孔面積が大きくなり、第1の導電体とコンタクトホール内に埋め込む導電性物質との間の接触面積を大きくすることができ、第1の導電体と導電性物質の間の接触抵抗の増加を防ぐことができる。また、第1の導電体上やコンタクトホール内に高融点金属のバリアメタル層をスパッタリングによって形成する際には、コンタクトホールの開孔面積が大きいため、コンタクトホール底面でのバリアメタル層を所望の膜厚通り形成でき、第1の導電体とバリアメタル層との間の接触抵抗のばらつきを低減するという効果が得られる。さらに、コンタクトホールと第1の導電体との

(4)

5

重ね合わせに余裕ができるため、コンタクトホール形成のためのマスクを第1層導電体と合わせる際の位置合わせの精度を緩和することができる。しかも、第1、第2の導電体間の絶縁膜に形成するコンタクトホールを第2の導電体で完全に覆うため、不必要な溝や段差の発生を防ぐことができる。

【0015】また、第1の導電体のパターンが2つ以上隣接して配置されているときには、1つのコンタクトホールで第1の導電体全てを跨ぐように開孔して、2つ以上の第1の導電体と第2の導電体とを電氣的に接続させることにより、コンタクトホールの開孔面積を大きくすることができ、コンタクトホール内に埋め込む導電性物質と第1の導電体間の接触抵抗の増加を防ぐことができる。また、コンタクトホール内にスパッタリングによりバリアメタル層を形成する際には、コンタクトホール底面でのバリアメタル層を所望の膜厚通り形成でき、第1の導電体とバリアメタル層との間の接触抵抗のばらつきを低減することができる。

【0016】さらに、第1の導電体のパターンが3つ以上隣接して配置されているときには、開孔部が第1の導電体と必ず一部分で重なっており、かつ開孔幅が第1の導電体の幅以上に大きい前記コンタクトホール、及び、2つ以上の第1の導電体を跨ぐ前記コンタクトホールから選ばれるコンタクトホールを2つ以上を用い、これらのコンタクトホールを第2の導電体で完全に覆う構成とすることによって、いくつかのコンタクトホールを自由に組み合わせることができ、不要な溝も生じない。

【0017】また、前記コンタクトホールの底面が、前記第1の導電体の側面と接するようにすることで、第1の導電体とコンタクトホール内に埋め込む導電性物質との間の接触面積を増加させ、接触抵抗の増加やばらつきを押さえることができる。

【0018】

【発明の実施の形態】本発明の上記及び他の目的、特徴及び利点を明確にすべく、添付した図面を参照しながら、本発明の実施例を以下に詳述する。

【0019】図1(a)、図2(a)、図3(a)、図4(a)、図5(a)、図6(a)及び図7(a)は、それぞれ本発明の実施例としての半導体装置の平面図である。図1(b)、図2(b)、図3(b)、図4(b)、図5(b)、図6(a)及び図7(a)は、それぞれ図1(a)、図2(a)、図3(a)、図4(a)、図5(a)、図6(a)及び図7(a)のA-A線に沿った断面図である。

【0020】図1(b)に示すように、半導体基板7上にシリコン酸化膜6を形成し、このシリコン酸化膜6上に第1層導電体1を形成する。第1層導電体1が配線の場合、該配線にはアルミニウム、アルミニウム合金、銅などを用いることができる。また、配線は、アルミニウム、アルミニウム合金などを上下から挟む、チタン、タ

6

ンタル、モリブデン、タングステンなどの高融点金属からなるバリアメタル層を備えていてもよい。第1層導電体1が抵抗などの素子の場合、該素子は多結晶シリコンなどで形成することができる。

【0021】そして、第1層導電体1上に絶縁膜2を形成し、CMP技術などを用いて絶縁膜2の平坦化を行う。また、この絶縁膜2にコンタクトホール3を開孔する。このとき、コンタクトホール3は、開孔部が第1層導電体1と必ず一部で重なり、かつ開孔幅が第1層導電体1の幅以上に大きくなるように開孔する。図1の実施例では、コンタクトホール3が第1層導電体1の両端からはみ出すように形成している。そして、CVD技術などを用いて、コンタクトホール3の内壁を含む絶縁膜2の全面にタングステンなどの導電性物質4を成長させ、ドライエッチング技術を用いて、コンタクトホール3内の導電性物質4を絶縁膜2に対して平坦にして、コンタクトホール4内に導電性物質4を埋め込む。さらに、コンタクトホール3を完全に覆うように第2層導電体5を形成する。コンタクトホール3を第2層導電体5で完全に覆うことで、コンタクトホール内に不必要な溝が形成されない。

【0022】ここで、図1に示す本発明の実施例と図8に示す従来例とでの、第1層導電体とコンタクトホール内に埋め込む導電性物質との接触面積を比較する。図8において、第1層導電体1の幅は $0.8\mu\text{m}$ とし、コンタクトホール8の開孔部は正方形で、開孔幅を $0.5\mu\text{m}$ とする。また、図1においても、第1層導電体1の幅は $0.8\mu\text{m}$ とし、コンタクトホール3の開孔部は、図8のコンタクトホール8を左右に伸ばし、第1層導電体1の幅より $0.5\mu\text{m}$ 大きくしたものとする。このとき、図1の実施例での第1層導電体1とコンタクトホール3内に埋め込む導電性物質4との接触面積は、図8の従来例のものに対して、1.6倍大きくなる。これによって、コンタクトホール3内に前述のようなバリアメタル層をスパッタリングによって形成する場合には、コンタクトホール底面でのバリアメタル層を所望の膜厚通り形成することができる。

【0023】また、第1層導電体1の膜厚を 300nm 、絶縁膜2の膜厚を 1000nm とすると、コンタクトホール3の底面が、絶縁膜2上面から 800nm の距離になるようにコンタクトホール3を形成することで、第1層導電体1の側面とコンタクトホール3の底面が接する。これによって、コンタクトホール3内に埋め込む導電性物質4と第1層導電体1との接触面積をさらに大きくすることができる。

【0024】図2は、コンタクトホール3の開孔部が、第1層導電体1の3辺で該第1層導電体1からはみ出すように形成されたときの実施例であり、この点が図1で示した実施例とは異なる。図2での第1の導電体1とコンタクトホール3の開孔部の大きさを図1で示した実施

(5)

7

例と同じとすると、第1層導電体1とコンタクトホール3とが重なる領域の長さ(図2中のw)を $0.32\mu\text{m}$ 以上にすることで、第1層導電体1と導電性物質4と間の接触面積を図8の従来例での接触面積より大きくすることができる。さらに、上記長さwを $0.5\mu\text{m}$ より大きくすることで、図1の実施例よりもさらに第1層導電体1と導電性物質4と間の接触面積を大きくすることができる。また、図1の実施例と比較すると、第1層導電体1とコンタクトホール3との重ね合わせに余裕ができるため、コンタクトホール形成のためのマスクを第1層導電体と合わせる際の位置合わせの精度を緩和することができる。

【0025】図3は、コンタクトホール3の開孔部が第1層導電体1の3辺ではみ出し、T字型に形成されたときの実施例である。この実施例も、図8の従来例で用いられているコンタクトホール8と比較すると、開孔面積が大きくなり、第1層導電体1とコンタクトホール3内に埋め込んだ導電性物質4と間の接触面積を大きくすることができる。さらに、図1の実施例以上に、コンタクトホールの開孔形状に自由度を与えることができる。

【0026】図4は、第1層導電体1のパターンを2つ隣接して配置したときの実施例である。図4に示すように、第1層導電体1を2つ形成した場合は、第1層導電体1上に形成した絶縁膜2に、2つの第1層導電体1全てを跨ぐようにコンタクトホール3を1つだけ開孔する。図4では、さらに2つの第1層導電体1の端をはみ出すようにコンタクトホール3を開孔している。そして、このコンタクトホール3内に導電性物質4を埋め込んだ後、コンタクトホール3を完全に覆うように第2層導電体5を形成する。

【0027】図5は、第1層導電体1のパターンを3つ隣接して配置したときの実施例である。この場合も第1層導電体1を全て跨ぎ、跨いだ3つの第1層導電体1の両端に位置する導電体の端をはみ出すように、コンタクトホール3を絶縁膜2に開孔する。そして、このコンタクトホール3内に導電性物質4を埋め込み、コンタクトホール3を覆うように第2層導電体5を形成する。

【0028】第1層導電体2つ以上あるときには、従来例では図9に示すように第1層導電体の数に合わせてコンタクトホールを開孔しなければならなかったが、図4、図5で示した実施例では、コンタクトホールを1つだけ開孔することで、第1層導電体と第2層導電体間を接続でき、従来例や前述した実施例よりもさらにコンタクトホールの開孔面積を大きくすることができるため、コンタクトホール3の底面でのバリアメタル層を所望の膜厚通りより均一に形成することができる。

【0029】図6は、第1層導電体1のパターンを2つ隣接して配置したときの実施例で、2つの第1層導電体1のそれぞれに対応するように、図1で示したコンタクトホール3を開孔し、2つのコンタクトホール3を一緒

8

に覆うように第2層導電体5が形成されている。

【0030】図7は、第1層導電体3つあるときの実施例で、隣接した2つの第1層導電体1に対して図4で示した実施例のようなコンタクトホール3が形成されているとともに、残りの1つの第1層導電体1に対して図1で示した実施例のコンタクトホール3が形成されている。そして、両方のコンタクトホール3を一緒に覆うように第2層導電体5が形成されている。

【0031】本発明では、図6、図7で示した実施例のように、図1から図5で示したそれぞれのコンタクトホール3を自由に組み合わせることができる。第1層導電体1のパターン間隔が広い場合や、第1層導電体1のパターンが多数隣接して配置されている場合、図4、図5で示した実施例では、形成するコンタクトホール3の開孔幅が長くなる。パターン形成に通常用いるレジスト膜は通常大きなパターンを形成すると、レジスト膜の収縮によって形成したパターンが広がってしまうことが分かっている。そのため、開孔幅があまりにも長いコンタクトホールを形成しようとする、レジスト膜の収縮からコンタクトホール形成パターンが大きくなってしまいう。しかし、図6、図7で示した実施例のように、いくつかのコンタクトホールを組み合わせることで、このようなレジスト膜の収縮による影響を抑えることができる。

【0032】また、本実施例で示した図1から図7では、全てのコンタクトホール3の底面が第1層導電体1の上面と側面とで接しているが、第1層導電体の上面だけで接するように形成してもよい。

【0033】以上、本発明の好適な実施形態について説明したが、本発明は、前記実施例に限定されることなく、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【0034】

【発明の効果】以上説明したように、本発明によれば、半導体装置の導電体間の接続構造において、コンタクトホールの開孔面積を大きくすることで、上層と下層の導電体間の接触抵抗の増加やばらつきを減少させることができる。また、コンタクトホール形成のためのマスクを第1層導電体と合わせる際の位置合わせの精度を緩和することができる。さらに、上層の導電体にてコンタクトホールを覆うことで、コンタクトホールでの不要な段差をなくすることができるため、上層のステップカバレッジが向上する。しかも、複数の下層導電体を1つのコンタクトホールによって上層導電体と接続させることで、上層と下層の導電体間の接触抵抗のばらつきをさらに低減させる効果を提供する。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

(6)

9

【図2】本発明に係る半導体装置の一実施例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

【図3】本発明に係る半導体装置の一実施例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

【図4】本発明に係る半導体装置の一実施例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

【図5】本発明に係る半導体装置の一実施例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

【図6】本発明に係る半導体装置の一実施例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

【図7】本発明に係る半導体装置の一実施例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

【図8】従来の半導体装置における導電体間の接続構造の一例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

10

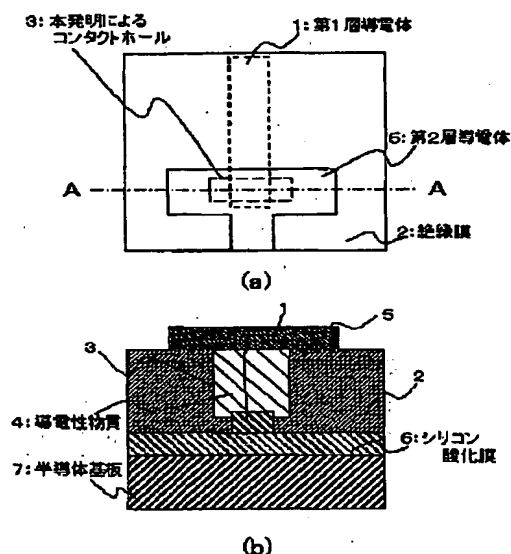
【図9】従来の半導体装置における導電体間の接続構造の一例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図である。

【図10】従来の半導体装置における導電体間の接続構造の一例を示すもので、(a)は平面図、(b)は(a)のA-A線に沿った断面図、(c)は(a)のB-B線に沿った断面図である。

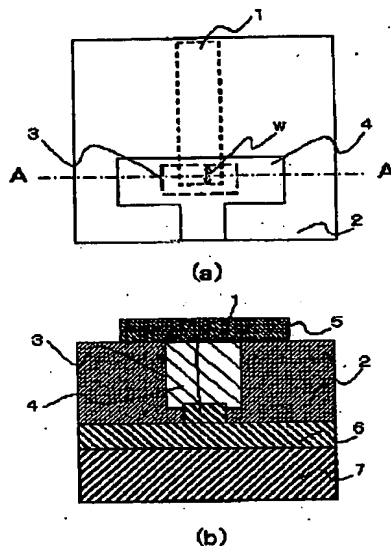
【符号の説明】

- 1 第1層導電体
- 2 絶縁膜
- 3 本発明によるコンタクトホール
- 4 導電性物質
- 5 第2層導電体
- 6 シリコン酸化膜
- 7 半導体基板
- 8 従来のコンタクトホール1
- 9 従来のコンタクトホール2
- w 第1層導電体と本発明によるコンタクトホールの開口部が重なる領域の長さ

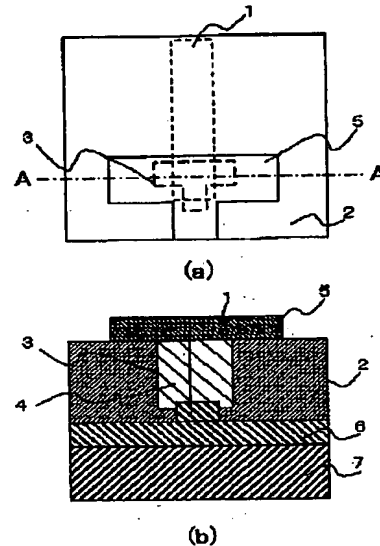
【図1】



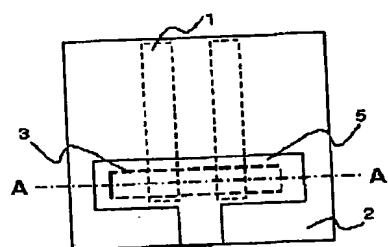
【図2】



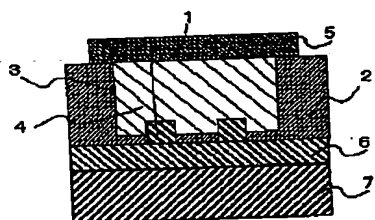
【図3】



【図4】

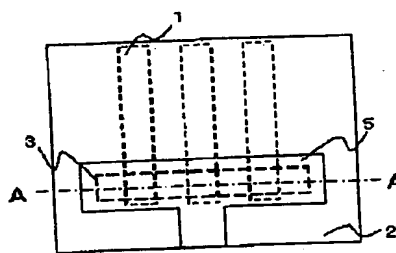


(a)

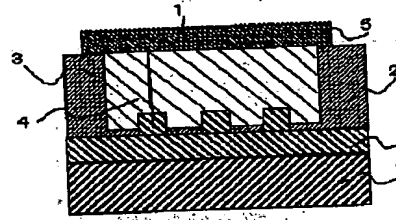


(b)

【図5】

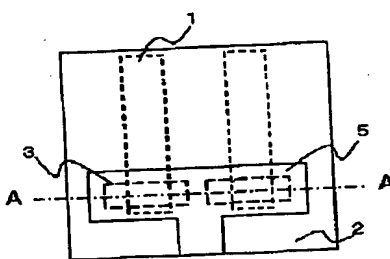


(a)

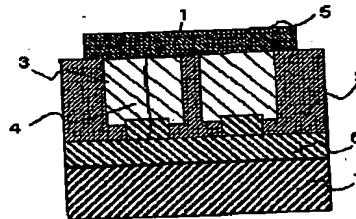


(b)

【図6】

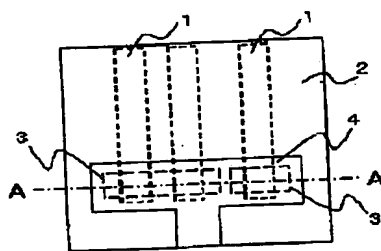


(a)

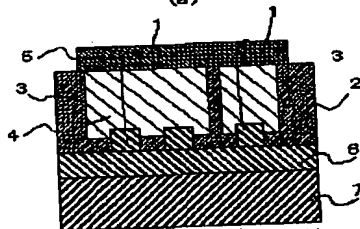


(b)

【図7】

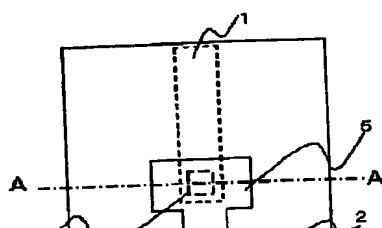


(a)



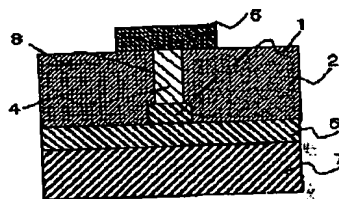
(b)

【図8】



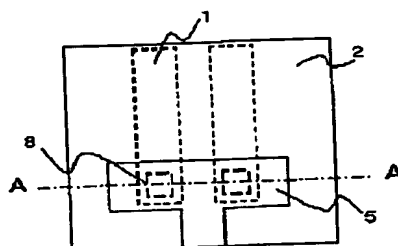
(a)

8:従来のコンタクトホール1

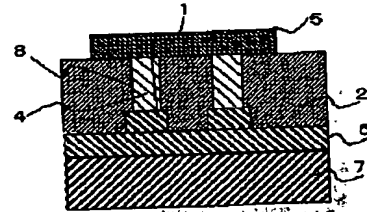


(b)

【図9】



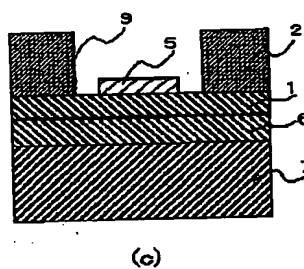
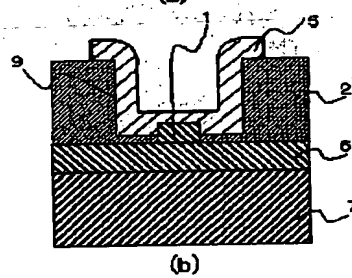
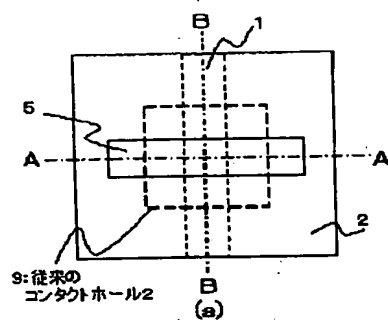
(a)



(b)

(8)

【図10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.